

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Tetsuya YOSHIDA, et al.

Application No.:

Group Art Unit:

Filed: November 19, 2003

Examiner:

For: MEMORY CONTROL CIRCUIT, MEMORY DEVICE, AND MICROCOMPUTER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-378629

Filed: December 26, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: November 19, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

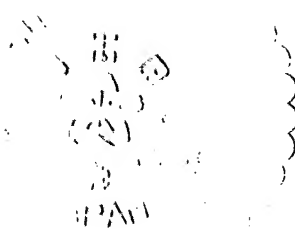
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 7 8 6 2 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 8 6 2 9]

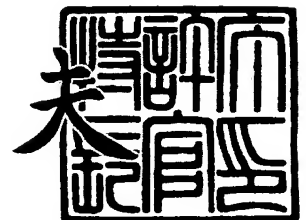
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 9 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0241741

【提出日】 平成14年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02

【発明の名称】 メモリ制御回路、メモリ装置およびマイクロコンピュータ

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 吉田 哲也

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 小池 良彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 楠本 正善

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100104190

 【弁理士】

 【氏名又は名称】 酒井 昭徳

【手数料の表示】**【予納台帳番号】** 041759**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9906241**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 メモリ制御回路、メモリ装置およびマイクロコンピュータ

【特許請求の範囲】

【請求項 1】 レジスタのリセットにより、外部から供給されるライト信号の出力を禁止し、レジスタに第 1 のデータが書き込まれると、外部から供給されるライト信号を外部へ出力し、レジスタに、前記第 1 のデータとは異なる第 2 のデータが書き込まれると、外部から供給されるライト信号の外部への出力を防ぐ誤書き込み防止回路を具備することを特徴とするメモリ制御回路。

【請求項 2】 前記誤書き込み防止回路は、
リセットにより“0”を格納する第 1 のラッチ回路と、
リセットにより“1”を格納し、かつ前記第 1 のラッチ回路の出力信号が入力される第 2 のラッチ回路と、

前記第 2 のラッチ回路の出力信号が“1”のときに、外部から供給されるレジスタ設定データを前記第 1 のラッチ回路の入力端子に供給し、かつ前記第 2 のラッチ回路の出力信号が“0”のときに、前記第 1 のラッチ回路の入力端子に“0”を供給する第 1 のゲートと、

前記第 1 のラッチ回路の出力信号が“1”のときにのみ、外部から供給されるライト信号を外部へ出力する第 2 のゲートと、
を具備することを特徴とする請求項 1 に記載のメモリ制御回路。

【請求項 3】 ライト信号の入力により書き換えが可能なメモリと、
レジスタのリセットにより、外部から供給されるライト信号の出力を禁止し、レジスタに第 1 のデータが書き込まれると、外部から供給されるライト信号を前記メモリへ出力し、レジスタに、前記第 1 のデータとは異なる第 2 のデータが書き込まれると、外部から供給されるライト信号の前記メモリへの出力を防ぐ誤書き込み防止回路を有するメモリ制御回路と、
を具備することを特徴とするメモリ装置。

【請求項 4】 前記誤書き込み防止回路は、
リセットにより“0”を格納する第 1 のラッチ回路と、
リセットにより“1”を格納し、かつ前記第 1 のラッチ回路の出力信号が入力

される第2のラッチ回路と、

前記第2のラッチ回路の出力信号が“1”のときに、外部から供給されるレジスタ設定データを前記第1のラッチ回路の入力端子に供給し、かつ前記第2のラッチ回路の出力信号が“0”のときに、前記第1のラッチ回路の入力端子に“0”を供給する第1のゲートと、

前記第1のラッチ回路の出力信号が“1”のときにのみ、外部から供給されるライト信号を前記メモリへ出力する第2のゲートと、

を具備することを特徴とする請求項3に記載のメモリ装置。

【請求項5】 前記メモリは、書き込みの禁止、許可および誤書き込み防止を独立して設定可能な複数の領域に分かれており、各領域ごとに、前記誤書き込み防止回路を有することを特徴とする請求項3または4に記載のメモリ装置。

【請求項6】 演算処理装置と、

ライト信号の入力により書き換えが可能なメモリと、

レジスタのリセットにより、前記演算処理装置から供給されるライト信号の出力を禁止し、レジスタに第1のデータが書き込まれると、前記演算処理装置から供給されるライト信号を前記メモリへ出力し、レジスタに、前記第1のデータとは異なる第2のデータが書き込まれると、前記演算処理装置から供給されるライト信号の前記メモリへの出力を防ぐ誤書き込み防止回路を有するメモリ制御回路と、

を具備することを特徴とするマイクロコンピュータ。

【請求項7】 前記誤書き込み防止回路は、

リセットにより“0”を格納する第1のラッチ回路と、

リセットにより“1”を格納し、かつ前記第1のラッチ回路の出力信号が入力される第2のラッチ回路と、

前記第2のラッチ回路の出力信号が“1”のときに、前記演算処理装置から供給されるレジスタ設定データを前記第1のラッチ回路の入力端子に供給し、かつ前記第2のラッチ回路の出力信号が“0”のときに、前記第1のラッチ回路の入力端子に“0”を供給する第1のゲートと、

前記第1のラッチ回路の出力信号が“1”のときにのみ、前記演算処理装置か

ら供給されるライト信号を前記メモリへ出力する第2のゲートと、

を具備することを特徴とする請求項6に記載のマイクロコンピュータ。

【請求項8】 前記メモリは、書き込みの禁止、許可および誤書き込み防止を独立して設定可能な複数の領域に分かれており、各領域ごとに、前記誤書き込み防止回路を有することを特徴とする請求項6または7に記載のマイクロコンピュータ。

【請求項9】 前記メモリは、不揮発性メモリであることを特徴とする請求項6～8のいずれか一つに記載のマイクロコンピュータ。

【請求項10】 前記演算処理装置、前記メモリおよび前記メモリ制御回路は、同一半導体チップに設けられていることを特徴とする請求項6～9のいずれか一つに記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュメモリ等の書き換え可能なメモリに対する誤書き込みを防止するメモリ制御回路、および当該メモリ制御回路を備えたメモリ装置、並びに当該メモリ装置を搭載したマイクロコンピュータに関する。

【0002】

一般に、データの書き換えが可能なメモリでは、ノイズや電源の瞬断などにより記憶データが書き換えられてしまうおそれがある。そこで、従来より、フラッシュメモリ等の不揮発性メモリでは、このような誤動作による意図しないデータの書き換えを防ぐための対策が講じられている。RAM等の揮発性メモリでも、ノイズ等による意図しないデータの書き換えを防ぐ必要がある。

【0003】

【従来の技術】

従来、不揮発性メモリを搭載したマイクロコンピュータ等の製品では、不揮発性メモリ自体に保護機能回路を設けることにより、誤書き込みを防止している。しかし、不揮発性メモリの回路規模が、保護機能回路の分だけ増大するという不都合がある。そこで、不揮発性メモリ自体の回路規模を増大させることなく、誤

書き込みを防止する技術として、不揮発性メモリへのアクセスを制御する制御回路に書き込み許可レジスタを設け、このレジスタの設定により、不揮発性メモリへの書き込みを禁止したり、許可するようにしたものがある。また、フラッシュメモリにおいて、メモリセルアレイへのデータの書き込みの許可／禁止を示す記憶領域を設けたものもある（たとえば、特許文献1参照。）。

【0004】

【特許文献1】

特開平11-120781号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来は、書き込み許可レジスタを自由に書き換えることができる、すなわち、不揮発性メモリへの書き込みを禁止したり、許可したりすることに何も制限がない。そのため、ノイズや電源瞬断などによる異常動作時の誤書き込み防止対策としては不十分であるという問題点があった。

【0006】

本発明は、上記問題点に鑑みてなされたものであって、ノイズや電源瞬断などによる誤書き込みを強力に防止することが可能なメモリ制御回路を提供することを目的とする。また、本発明は、そのようなメモリ制御回路を備えたメモリ装置を提供すること、およびそのメモリ装置を搭載したマイクロコンピュータを提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明は、レジスタがリセットされると、演算処理装置から供給されるライト信号のメモリへの出力を禁止する状態（書き込み禁止状態）となり、レジスタにたとえば“1”が書き込まれると、演算処理装置から供給されるライト信号をメモリへ出力する状態（書き込み許可状態）となり、レジスタにたとえば“0”が書き込まれると、つぎにレジスタがリセットされるまで、演算処理装置から供給されるライト信号がメモリへ出力されるのを防ぐ状態（誤書き込み防止状態）となる誤書き込み防止回路を設けることを特徴とする。

【0008】

たとえば図1に示すように、リセット信号RSTのアサートにより、SA0E、SA1E、SA2EおよびSA3Eの各レジスタのビットがリセットされる。それによって、各レジスタに対応する図示しないSA0、SA1、SA2およびSA3の各セクタは、書き込み禁止状態となる。その後、SA0E、SA1E、SA2E、SA3Eの各ビットにそれぞれ“1”、“0”、“0”および“1”が書き込まれているので、SA0、SA1、SA2およびSA3の各セクタは、それぞれ書き込み許可状態、誤書き込み防止状態、誤書き込み防止状態および書き込み許可状態となる。ついで、SA0Eのビットに“0”が書き込まれているので、SA0のセクタは、誤書き込み防止状態となる。

【0009】

具体的には、誤書き込み防止回路に、リセットにより“0”および“1”をそれぞれ格納する第1のラッチ回路および第2のラッチ回路を設ける。第2のラッチ回路に第1のラッチ回路の出力信号を入力させる。第1のラッチ回路には、演算処理装置（CPU）から供給されるレジスタ設定データを、第1のゲートを介して入力させる。第1のゲートは、第2のラッチ回路の出力信号が“1”のときにレジスタ設定データを通過させ、第2のラッチ回路の出力信号が“0”のときに“0”を出力する。そして、演算処理装置（CPU）から供給されるライト信号を、第2のゲートを介して、新たにメモリライト信号としてメモリに供給する。第2のゲートは、第1のラッチ回路の出力信号が“1”のときにのみ、ライト信号を通過させる。

【0010】

この発明によれば、リセットにより、第1のラッチ回路の出力信号は“0”となるので、演算処理装置（CPU）から供給されたライト信号が出力されない書き込み禁止状態となる。この状態で、レジスタ設定データとして“1”が供給されると、第1のラッチ回路の入力データが“1”となり、第1のラッチ回路から“1”が出力されるので、演算処理装置（CPU）から供給されたライト信号がメモリライト信号としてメモリへ出力される書き込み許可状態となる。

【0011】

また、レジスタ設定データとして“0”が供給されると、第1のラッチ回路の入力データは“0”となり、第1のラッチ回路から“0”が出力される。それによって、第2のラッチ回路の出力信号も“0”となり、つぎにリセットされるまで、レジスタ設定データの値にかかわらず、第1のラッチ回路の出力信号は“0”のままである。したがって、演算処理装置（CPU）から供給されたライト信号がメモリへ出力されるのを防ぐ誤書き込み防止状態となる。

【0012】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しつつ詳細に説明する。図2は、本発明にかかるマイクロコンピュータの概略構成を示すブロック図である。図2に示すように、マイクロコンピュータは、不揮発性メモリ制御回路1、CPU（演算処理装置）2、およびフラッシュメモリ等の書き換え可能な不揮発性メモリ3を同一半導体チップに設けた構成となっている。不揮発性メモリ制御回路1およびCPU2は、図示しないリセット回路からリセット信号が供給されると、リセットされる。

【0013】

不揮発性メモリ3にデータを書き込む際には、CPU2は、不揮発性メモリ制御回路1に、ライト信号とともに、アドレス／データバスを介してライトデータおよびアドレスデータを供給する。不揮発性メモリ制御回路1は、不揮発性メモリ3に、不揮発性メモリライト信号、ライトデータおよびアドレスデータを供給する。それによって、不揮発性メモリ3の該当する箇所にデータが書き込まれる。

【0014】

一方、不揮発性メモリ3からデータを読み出す際には、CPU2は、不揮発性メモリ制御回路1に、リード信号とともにアドレスデータを供給する。そして、CPU2は、不揮発性メモリ制御回路1を介して、不揮発性メモリ3から該当するデータを読み出す。

【0015】

図3は、不揮発性メモリ制御回路1に設けられた誤書き込み防止回路の構成の

一例を示す回路図である。図3に示すように、誤書き込み防止回路は、たとえばレジスタを構成する2個のラッチ回路11、12および2個のゲート13、14を備えている。図示しないリセット発生回路から供給されるリセット信号は、第1のラッチ回路11のクリア端子CLKおよび第2のラッチ回路12のセット端子SETに供給される。したがって、リセット信号がアサートされると、第1のラッチ回路11の出力端子Qからは“0”が出力され、第2のラッチ回路12の出力端子Qからは“1”が出力される。

【0016】

第1のラッチ回路11の出力端子Qからの出力信号は、第2のラッチ回路12の入力端子Dに供給される。第2のラッチ回路12の出力端子Qからの出力信号は、第1のゲート13に入力される。また、CPU2から供給されるレジスタ設定データも、第1のゲート13に入力される。第1のゲート13はアンド・ゲートであり、その出力信号は第1のラッチ回路11の入力端子Dに供給される。したがって、第2のラッチ回路12の出力信号が“1”のときに、レジスタ設定データが第1のラッチ回路11に入力される。第2のラッチ回路12の出力信号が“0”のときには、第1のラッチ回路11の入力信号は“0”である。

【0017】

CPU2から供給されるライト信号は、第2のゲート14に供給される。また、第1のラッチ回路11の出力端子Qからの出力信号も、第2のゲート14に供給される。第2のゲート14はナンド・ゲートであり、不揮発性メモリ3へ不揮発性メモリライト信号を出力する。特に限定しないが、本実施の形態では、ライト信号および不揮発性メモリライト信号は、ロー・アクティブであり、“0”のときにアサートされたことになる。なお、特に限定しないが、その他の信号はハイ・アクティブであるとする。

【0018】

したがって、第1のラッチ回路11の出力信号が“1”のときに、ライト信号のアサートまたはネゲートに応じて、不揮発性メモリライト信号がアサートまたはネゲートされる。第1のラッチ回路11の出力信号が“0”のときには、不揮発性メモリライト信号は常にネゲートされた状態となる。

【0019】

また、CPU 2 の書き込み命令に対して不揮発性メモリ 3 から供給されるレジスタ書き込み許可信号は、第 1 のラッチ回路 11 および第 2 のラッチ回路 12 のイネーブル端子 EN に供給される。また、図示しないクロック発生回路から供給されるクロック信号は、第 1 のラッチ回路 11 および第 2 のラッチ回路 12 のクロック端子に供給される。

【0020】

つぎに、上述した構成の誤書き込み防止回路の動作について説明する。図 4 は、誤書き込み防止回路の動作タイミングチャートである。まず、リセット信号がアサートされると、第 1 のラッチ回路 11 の出力は “0” となるので、不揮発性メモリライト信号は “1”、すなわちネゲートされた状態となり、不揮発性メモリ 3 にはライト信号が供給されない。つまり、不揮発性メモリ 3 にデータを書き込むことはできない。また、リセットにより第 2 のラッチ回路 12 の出力が “1” となり、レジスタ設定データが第 1 のゲート 13 を介して第 1 のラッチ回路 11 に入力されるので、レジスタに “0” または “1” を書き込むことが可能である。したがって、この状態が書き込み禁止状態である。

【0021】

書き込み禁止状態でレジスタに対して書き込みがおこなわれると、レジスタ書き込み許可信号に同期して、レジスタ設定データが第 1 のラッチ回路 11 にラッチされる。たとえば、レジスタ設定データが “1” であれば、第 1 のラッチ回路 11 から “1” が出力されるので、ライト信号がアサートされると、第 2 のゲート 14 から出力される不揮発性メモリライト信号もアサートされる。つまり、不揮発性メモリ 3 にデータを書き込むことができる。また、第 2 のラッチ回路 12 にも “1” がラッチされ、第 2 のラッチ回路 12 の出力が “1” であるので、レジスタへの書き込みが可能な状態のままである。したがって、この状態が書き込み許可状態である。

【0022】

一方、レジスタ設定データが “0” であれば、第 1 のラッチ回路 11 に “0” がラッチされ、第 1 のラッチ回路 11 から “0” が出力される。それによって、

ライト信号がアサートされても、第2のゲート14から出力される不揮発性メモリライト信号はネゲートされたままになる。つまり、不揮発性メモリ3にデータを書き込むことはできない。また、第2のラッチ回路12に“0”がラッチされ、第2のラッチ回路12の出力が“0”になるので、第1のラッチ回路11には常に“0”が入力される。つまり、リセットにより第2のラッチ回路12を“1”にセットするまでは、レジスタへの書き込みができない状態がつづき、不揮発性メモリ3にデータを書き込むことができない。したがって、この状態が誤書き込み防止状態である。

【0023】

なお、図4では、書き込み禁止状態から書き込み許可状態を経て誤書き込み防止状態へ移行している。しかし、書き込み禁止状態においてレジスタに“0”を書き込むことにより、書き込み禁止状態から誤書き込み防止状態へ直接移行してもよい。

【0024】

図3に示す誤書き込み防止回路の構成例は、メモリ全体を一括して書き込み禁止／書き込み許可／誤書き込み防止の各状態に制御するものである。図2に示したように不揮発性メモリ3が複数の領域（A、BおよびC）に分かれている場合には、図5に示すように、誤書き込み防止回路を、図3に示す構成と同様の回路をA、BおよびCの各領域ごとに設けた構成とすればよい。なお、A、BおよびCの領域は、セクタなどである。また、領域の数は、3に限らず、2でもよいし、4以上でもよい。

【0025】

不揮発性メモリ3がA、BおよびCの領域に分かれている場合を例にして説明する。この場合の誤書き込み防止回路は、図5に示すように、6個のラッチ回路101、102、111、112、121、122および8個のゲート103、104、113、114、123、124、131、132を備えている。

【0026】

第1のラッチ回路101、第2のラッチ回路102および第1のゲート103は、それぞれ領域Aに対する誤書き込み防止回路を構成しており、図3の第1の

ラッチ回路 11、第2のラッチ回路 12 および第1のゲート 13 に相当する。領域Bに対しては、第3のラッチ回路 111、第4のラッチ回路 112 および第2のゲート 113 が、図3の第1のラッチ回路 11、第2のラッチ回路 12 および第1のゲート 13 に相当する。同様に、領域Cに対しては、第5のラッチ回路 121、第6のラッチ回路 122 および第3のゲート 123 が、図3の第1のラッチ回路 11、第2のラッチ回路 12 および第1のゲート 13 に相当する。

【0027】

したがって、第1のラッチ回路 101、第2のラッチ回路 102 および第1のゲート 103 の接続関係、第3のラッチ回路 111、第4のラッチ回路 112 および第2のゲート 113 の接続関係、並びに第5のラッチ回路 121、第6のラッチ回路 122 および第3のゲート 123 の接続関係は、いずれも、図3の第1のラッチ回路 11、第2のラッチ回路 12 および第1のゲート 13 の接続関係と同じである。

【0028】

領域Aに対する誤書き込み防止回路において、第1のラッチ回路 101 の出力端子Qからの出力信号は、第4のゲート 104 に供給される。CPU2から供給されるアドレスデータのデコードにより得られる領域A信号も、第4のゲート 104 に供給される。第4のゲート 104 はナンド・ゲートであり、第1のラッチ回路 101 の出力信号が“1”であり、かつ領域A信号がアサートされているときにのみ、“0”を出力する。

【0029】

領域Bに対する誤書き込み防止回路においても同様であり、第3のラッチ回路 111 の出力信号、および領域B信号は、第5のゲート 114 に供給される。第5のゲート 114 はナンド・ゲートであり、第3のラッチ回路 111 の出力信号が“1”であり、かつ領域B信号がアサートされているときにのみ、“0”を出力する。

【0030】

領域Cに対する誤書き込み防止回路においても同様であり、第5のラッチ回路 121 の出力信号、および領域C信号は、ナンド・ゲートである第6のゲート 1

2 4 に供給される。第 6 のゲート 1 2 4 は、第 5 のラッチ回路 1 2 1 の出力信号が “1” であり、かつ領域 C 信号がアサートされているときにのみ、“0” を出力する。

【0 0 3 1】

第 4 のゲート 1 0 4 の出力信号、第 5 のゲート 1 1 4 の出力信号および第 6 のゲート 1 2 4 の出力信号は、第 7 のゲート 1 3 1 に供給される。第 7 のゲート 1 3 1 はナンド・ゲートであり、第 4 のゲート 1 0 4 の出力信号、第 5 のゲート 1 1 4 の出力信号および第 6 のゲート 1 2 4 の出力信号のうちいずれか一つでも “0” であれば、“1” を出力する。第 7 のゲート 1 3 1 の出力信号は、第 8 のゲート 1 3 2 に供給される。

【0 0 3 2】

第 8 のゲート 1 3 2 は、図 3 の第 2 のゲート 1 4 に相当するナンド・ゲートであり、ライト信号が供給され、不揮発性メモリライト信号を出力する。したがって、領域 A、領域 B および領域 C のうち、いずれか一つの領域に対して、その領域が選択されており、かつその領域が書き込み許可状態になっていれば、第 7 のゲート 1 3 1 の出力信号が “1” となり、ライト信号のアサートまたはネゲートに応じて、不揮発性メモリライト信号がアサートまたはネゲートされる。

【0 0 3 3】

また、領域 A、領域 B および領域 C がいずれも、選択されていないか、または書き込み禁止もしくは誤書き込み防止状態になっていれば、第 7 のゲート 1 3 1 の出力信号は “0” となるので、不揮発性メモリライト信号はネゲートされた状態となる。つまり、A、B、および C のいずれの領域にもデータを書き込むことはできない。それぞれの領域が、書き込み禁止状態であるか、誤書き込み防止状態であるかは、それぞれのレジスタの格納値による。

【0 0 3 4】

上述した実施の形態によれば、リセットにより書き込み禁止状態となり、レジスタに “1” が書き込まれると、CPU 2 から供給されたライト信号を不揮発性メモリ 3 へ出力する書き込み許可状態となり、レジスタに “0” が書き込まれると、つぎにリセットされるまで、CPU 2 から供給されたライト信号が不揮発性

メモリ 3 へ出力されるのを防ぐ誤書き込み防止状態となる。したがって、ノイズや電源の瞬断などにより、不揮発性メモリ 3 に誤まったデータが書き込まれるのを防ぐことができる。

【 0 0 3 5 】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。たとえば、誤書き込み防止回路は上述した構成に限らない。また、CPU 2、不揮発性メモリ制御回路 1 および不揮発性メモリ 3 のうち、いずれかが別のチップに設けられていてもよいし、CPU 2 と不揮発性メモリ制御回路 1 と不揮発性メモリ 3 とが別々のチップに設けられていてもよい。また、本発明は、書き換え可能なメモリであれば、フラッシュメモリ以外の不揮発性メモリに適用でき、さらには RAM などの揮発性メモリにも適用可能である。

【 0 0 3 6 】

(付記 1) レジスタのリセットにより、外部から供給されるライト信号の出力を禁止し、レジスタに第 1 のデータが書き込まれると、外部から供給されるライト信号を外部へ出力し、レジスタに、前記第 1 のデータとは異なる第 2 のデータが書き込まれると、外部から供給されるライト信号の外部への出力を防ぐ誤書き込み防止回路を具備することを特徴とするメモリ制御回路。

【 0 0 3 7 】

(付記 2) 前記誤書き込み防止回路は、

リセットにより “0” を格納する第 1 のラッチ回路と、

リセットにより “1” を格納し、かつ前記第 1 のラッチ回路の出力信号が入力される第 2 のラッチ回路と、

前記第 2 のラッチ回路の出力信号が “1” のときに、外部から供給されるレジスタ設定データを前記第 1 のラッチ回路の入力端子に供給し、かつ前記第 2 のラッチ回路の出力信号が “0” のときに、前記第 1 のラッチ回路の入力端子に “0” を供給する第 1 のゲートと、

前記第 1 のラッチ回路の出力信号が “1” のときにのみ、外部から供給されるライト信号を外部へ出力する第 2 のゲートと、

を具備することを特徴とする付記 1 に記載のメモリ制御回路。

【0038】

(付記3) ライト信号の入力により書き換えが可能なメモリと、

レジスタのリセットにより、外部から供給されるライト信号の出力を禁止し、レジスタに第1のデータが書き込まれると、外部から供給されるライト信号を前記メモリへ出力し、レジスタに、前記第1のデータとは異なる第2のデータが書き込まれると、外部から供給されるライト信号の前記メモリへの出力を防ぐ誤書き込み防止回路を有するメモリ制御回路と、

を具備することを特徴とするメモリ装置。

【0039】

(付記4) 前記誤書き込み防止回路は、

リセットにより“0”を格納する第1のラッチ回路と、

リセットにより“1”を格納し、かつ前記第1のラッチ回路の出力信号が入力される第2のラッチ回路と、

前記第2のラッチ回路の出力信号が“1”のときに、外部から供給されるレジスタ設定データを前記第1のラッチ回路の入力端子に供給し、かつ前記第2のラッチ回路の出力信号が“0”のときに、前記第1のラッチ回路の入力端子に“0”を供給する第1のゲートと、

前記第1のラッチ回路の出力信号が“1”のときにのみ、外部から供給されるライト信号を前記メモリへ出力する第2のゲートと、

を具備することを特徴とする付記3に記載のメモリ装置。

【0040】

(付記5) 前記メモリは、書き込みの禁止、許可および誤書き込み防止を独立して設定可能な複数の領域に分かれており、各領域ごとに、前記誤書き込み防止回路を有することを特徴とする付記3または4に記載のメモリ装置。

【0041】

(付記6) 前記メモリは、不揮発性メモリであることを特徴とする付記3～5のいずれか一つに記載のメモリ装置。

【0042】

(付記7) 前記メモリは、フラッシュメモリであることを特徴とする付記6に記

載のメモリ装置。

【0043】

(付記8) 演算処理装置と、

ライト信号の入力により書き換えが可能なメモリと、

レジスタのリセットにより、前記演算処理装置から供給されるライト信号の出力を禁止し、レジスタに第1のデータが書き込まれると、前記演算処理装置から供給されるライト信号を前記メモリへ出力し、レジスタに、前記第1のデータとは異なる第2のデータが書き込まれると、前記演算処理装置から供給されるライト信号の前記メモリへの出力を防ぐ誤書き込み防止回路を有するメモリ制御回路と、

を具備することを特徴とするマイクロコンピュータ。

【0044】

(付記9) 前記誤書き込み防止回路は、

リセットにより“0”を格納する第1のラッチ回路と、

リセットにより“1”を格納し、かつ前記第1のラッチ回路の出力信号が入力される第2のラッチ回路と、

前記第2のラッチ回路の出力信号が“1”のときに、前記演算処理装置から供給されるレジスタ設定データを前記第1のラッチ回路の入力端子に供給し、かつ前記第2のラッチ回路の出力信号が“0”のときに、前記第1のラッチ回路の入力端子に“0”を供給する第1のゲートと、

前記第1のラッチ回路の出力信号が“1”のときにのみ、前記演算処理装置から供給されるライト信号を前記メモリへ出力する第2のゲートと、

を具備することを特徴とする付記8に記載のマイクロコンピュータ。

【0045】

(付記10) 前記メモリは、書き込みの禁止、許可および誤書き込み防止を独立して設定可能な複数の領域に分かれており、各領域ごとに、前記誤書き込み防止回路を有することを特徴とする付記8または9に記載のマイクロコンピュータ。

【0046】

(付記11) 前記メモリは、不揮発性メモリであることを特徴とする付記8～1

0 のいずれか一つに記載のマイクロコンピュータ。

【0047】

(付記 12) 前記メモリは、フラッシュメモリであることを特徴とする付記 11 に記載のマイクロコンピュータ。

【0048】

(付記 13) 前記演算処理装置、前記メモリおよび前記メモリ制御回路は、同一半導体チップに設けられていることを特徴とする付記 8～12 のいずれか一つに記載のマイクロコンピュータ。

【0049】

【発明の効果】

本発明によれば、リセットにより書き込み禁止状態となり、レジスタに第 1 のデータが書き込まれると、演算処理装置から供給されたライト信号をメモリへ出力する書き込み許可状態となり、レジスタに第 2 のデータが書き込まれると、つぎにリセットされるまで、演算処理装置から供給されたライト信号がメモリへ出力されるのを防ぐ誤書き込み防止状態となる。したがって、ノイズや電源の瞬断などにより、メモリに誤まったデータが書き込まれるのを防ぐことができる。

【図面の簡単な説明】

【図 1】

本発明にかかるメモリ制御回路における誤書き込み防止回路のレジスタ設定値と書き込み禁止／書き込み許可／誤書き込み防止の各状態との関係を説明するためのタイミングチャートである。

【図 2】

本発明にかかるマイクロコンピュータの概略構成を示すブロック図である。

【図 3】

本発明にかかるメモリ制御回路における誤書き込み防止回路の構成の一例を示す回路図である。

【図 4】

誤書き込み防止回路の動作タイミングチャートである。

【図 5】

不揮発性メモリが複数領域に分かれている場合の誤書き込み防止回路の構成の一例を示す回路図である。

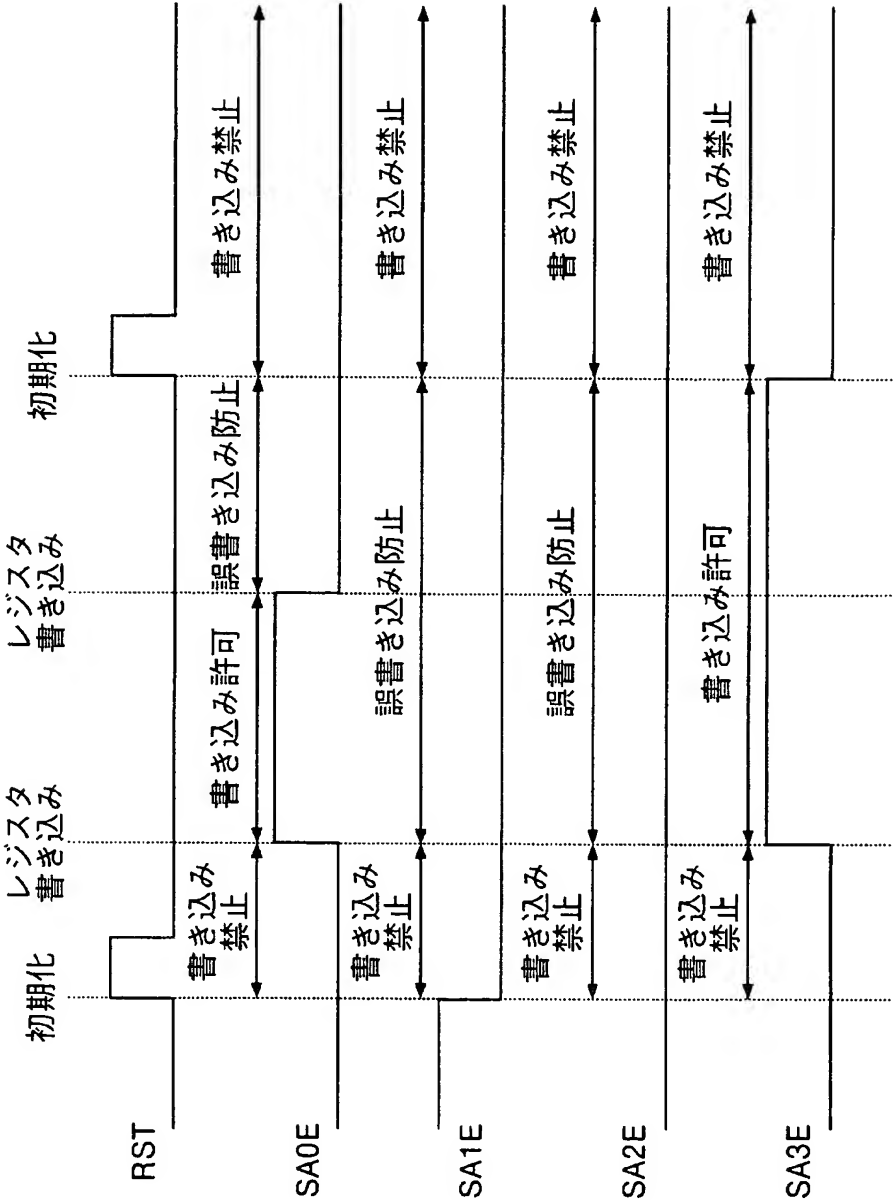
【符号の説明】

- 1 不揮発性メモリ制御回路
- 2 演算処理装置
- 3 不揮発性メモリ
- 1 1 第 1 のラッチ回路
- 1 2 第 2 のラッチ回路
- 1 3 第 1 のゲート
- 1 4 第 2 のゲート

【書類名】 図面

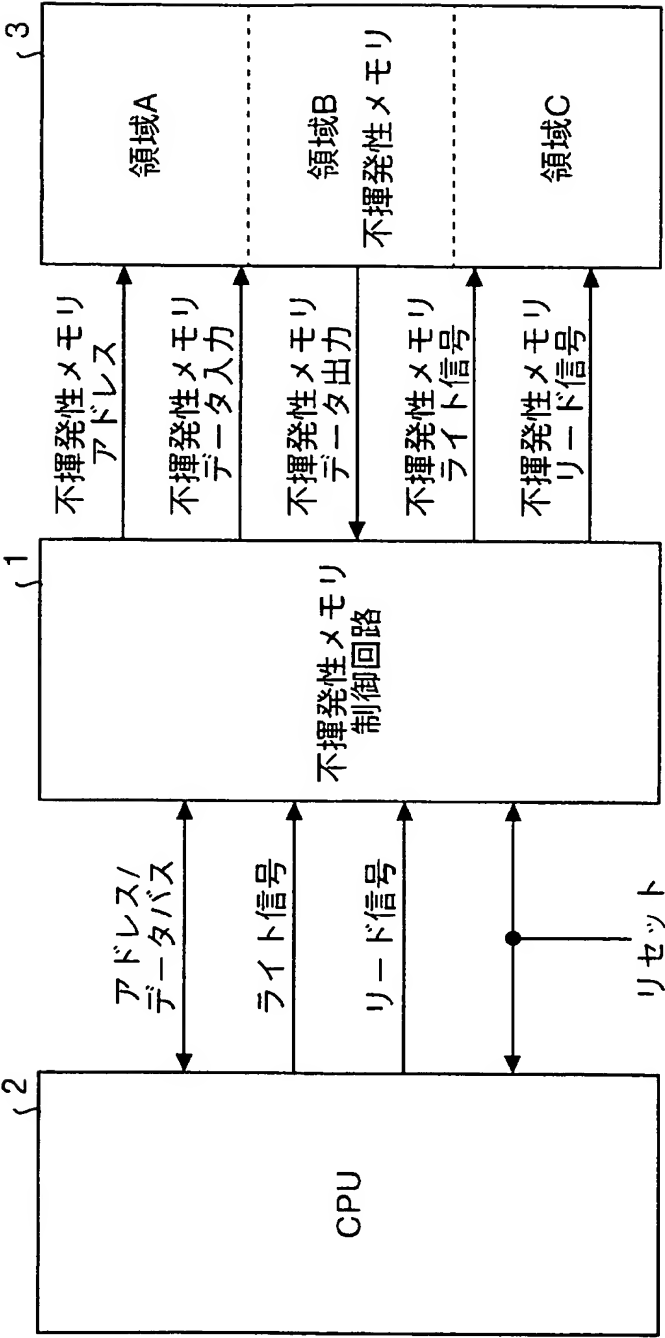
【図 1】

本発明にかかるメモリ制御回路における誤書き込み防止回路のレジスタ設定値と書き込みチャート／書き込み許可／誤書き込み防止の各状態との関係を説明するためのタイミングチャート



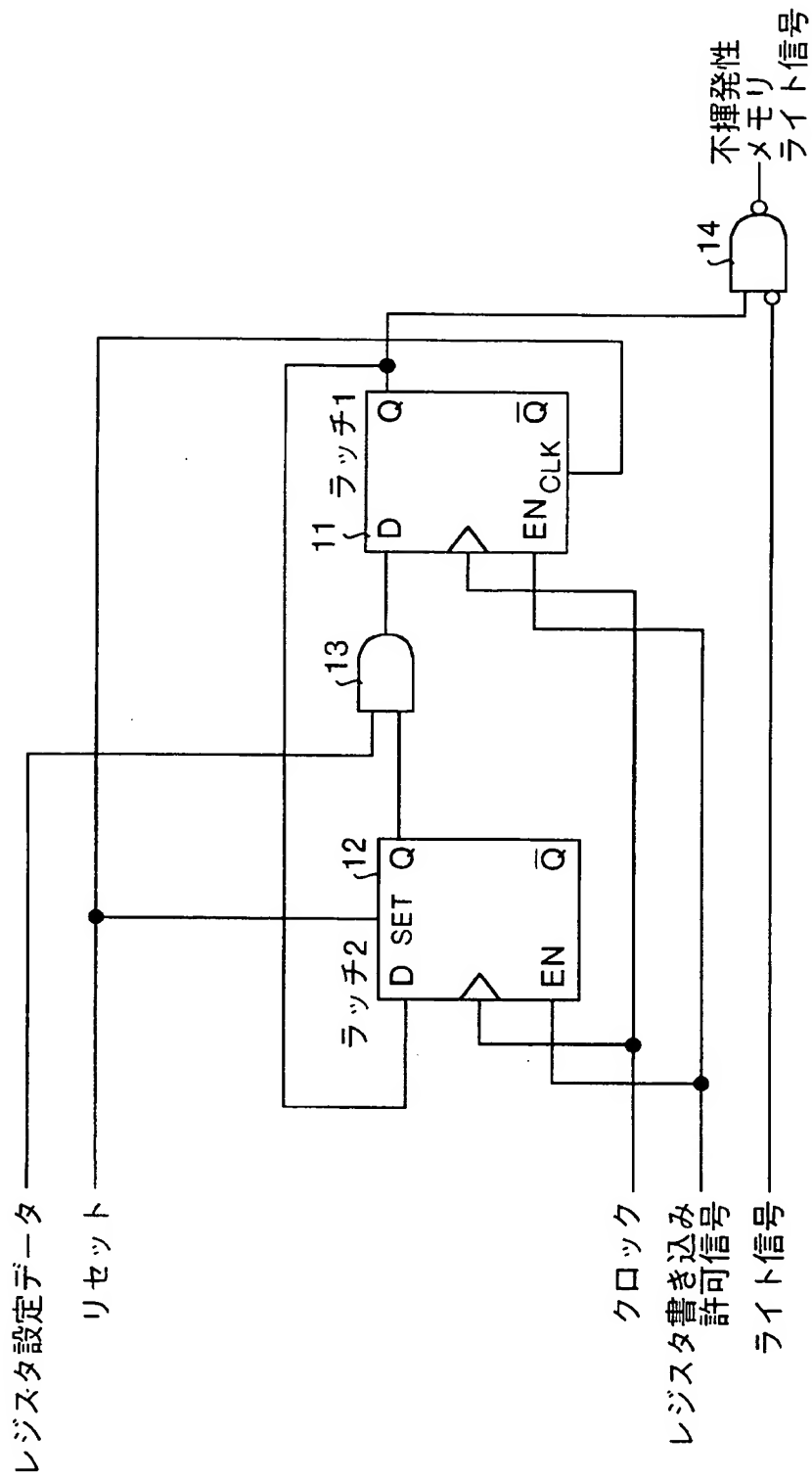
【図 2】

本発明にかかるマイクロコンピュータの概略構成を示すブロック図

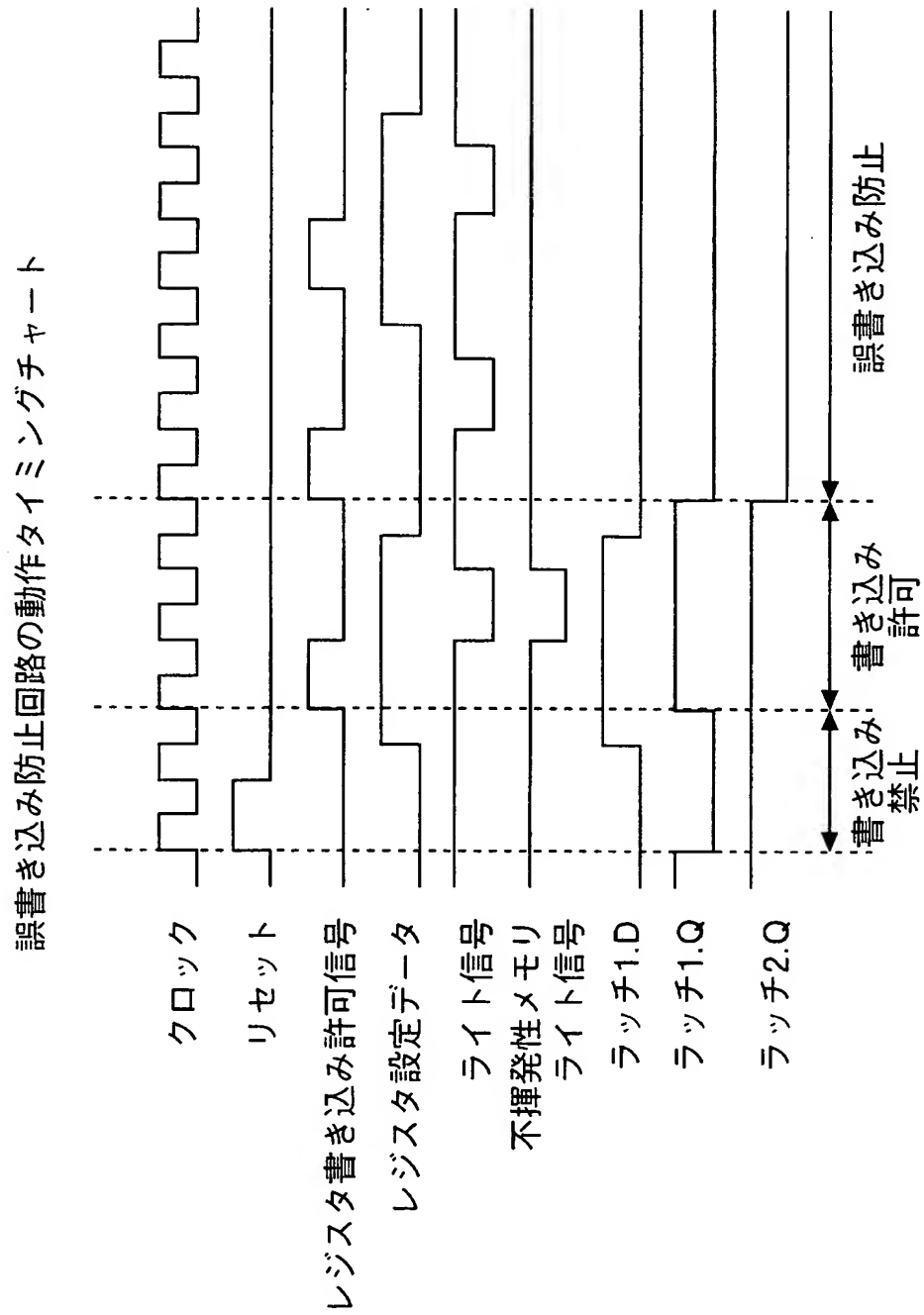


【図 3】

本発明にかかるメモリ制御回路における誤書き込み防止回路の構成の一例を示す回路図

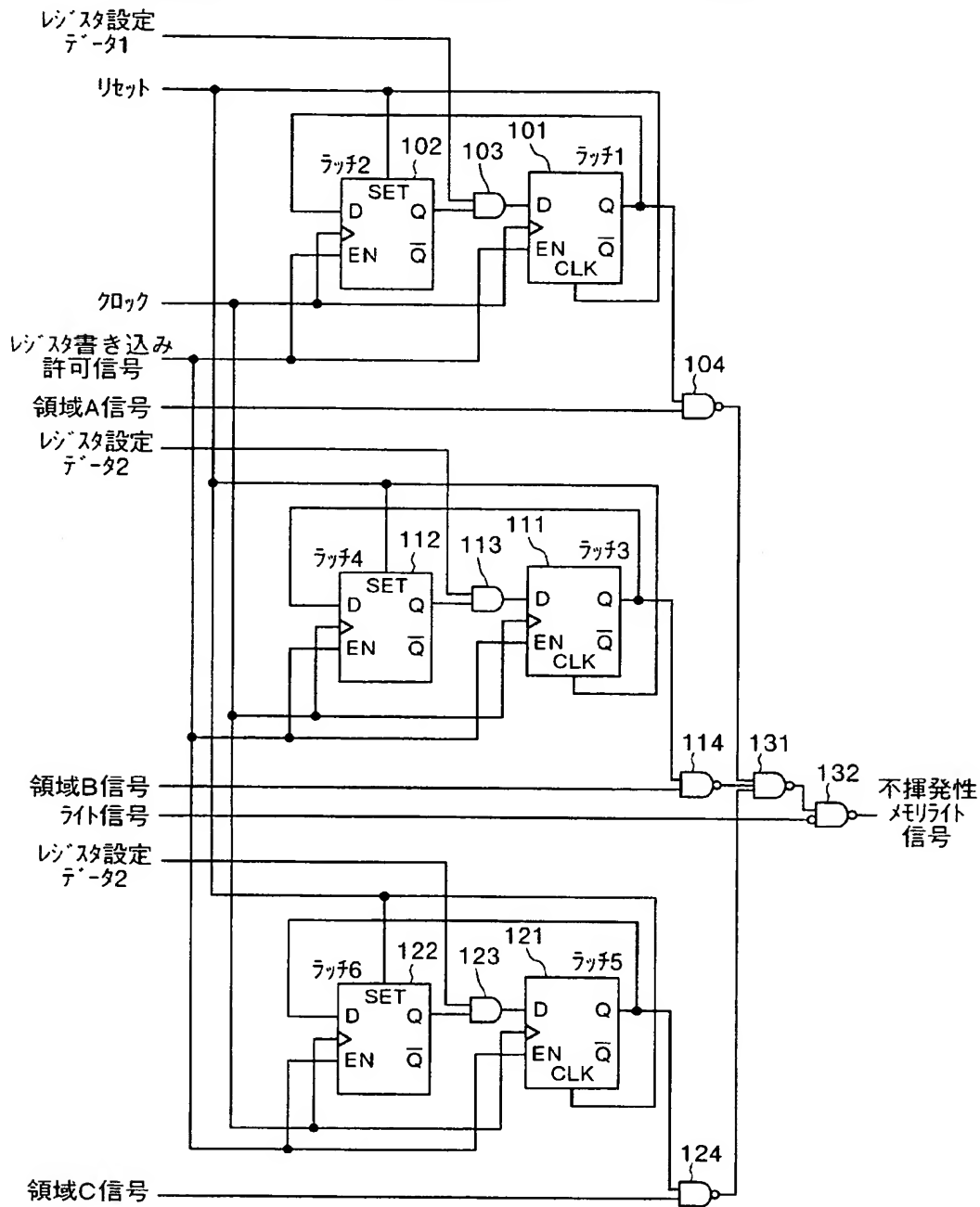


【図 4】



【図5】

メモリが複数領域に分かれている場合の
誤書き込み防止回路の構成の一例を示す回路図



【書類名】 要約書

【要約】

【課題】 ノイズや電源瞬断による誤書き込みを防止すること。

【解決手段】 リセットにより“0”および“1”を格納する第1、第2ラッチ回路11、12を設け、第2ラッチ回路12に第1ラッチ回路11の出力信号を入力させる。レジスタ設定データを、第2ラッチ回路12の出力信号が“1”のときに入力信号を通過させ、第2ラッチ回路12の出力信号が“0”のときに“0”を出力する第1のゲート13を介して、第1ラッチ回路11に入力させる。ライト信号を、第1ラッチ回路11の出力信号が“1”のときにのみ、入力信号を通過させる第2のゲート14を介して、メモリライト信号としてメモリに供給する。レジスタ設定データが“0”のとき、第1、第2ラッチ回路11、12の出力信号はともに“0”となり、リセットされるまで、ライト信号がメモリへ出力されるのを防ぐ誤書き込み防止状態となる。

【選択図】 図3

特願 2 0 0 2 - 3 7 8 6 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2 . 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社